

PAT-NO: JP406169033A

DOCUMENT-IDENTIFIER: JP 06169033 A

TITLE: METHOD FOR MOUNTING SEMICONDUCTOR
CHIPS

PUBN-DATE: June 14, 1994

INVENTOR-INFORMATION:

NAME

NODA, YUJI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP04319554

APPL-DATE: November 30, 1992

INT-CL (IPC): H01L023/29, H01L023/31 , H01L021/66 ,
H05K001/18 , H05K003/32

US-CL-CURRENT: 257/667

ABSTRACT:

PURPOSE: To make safe testing of the electrical characteristics possible and also to realize high density mounting with good moisture resistance in the method of directly mounting semiconductor chips on a printed circuit board.

CONSTITUTION: After covering a semiconductor chip 1, an interconnection terminal part 22, and a bonding wire 3 with a first resin 19, electrical tests are conducted by contacting the probes to electrical testing parts 21 that are

exposed outside the first resin 19, and the final sealing is done by covering the first resin 19 and the electrical testing parts 21 with a second resin 29.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-169033

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/29				
23/31				
21/66	Z	7377-4M		
H 0 5 K 1/18	Q	9154-4E		
		8617-4M		
			H 0 1 L 23/ 30	B
			審査請求 有	請求項の数 6 (全 5 頁) 最終頁に続く

(21)出願番号 特願平4-319554

(22)出願日 平成4年(1992)11月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 野田 雄二

東京都港区芝五丁目7番1号日本電気株式会社内

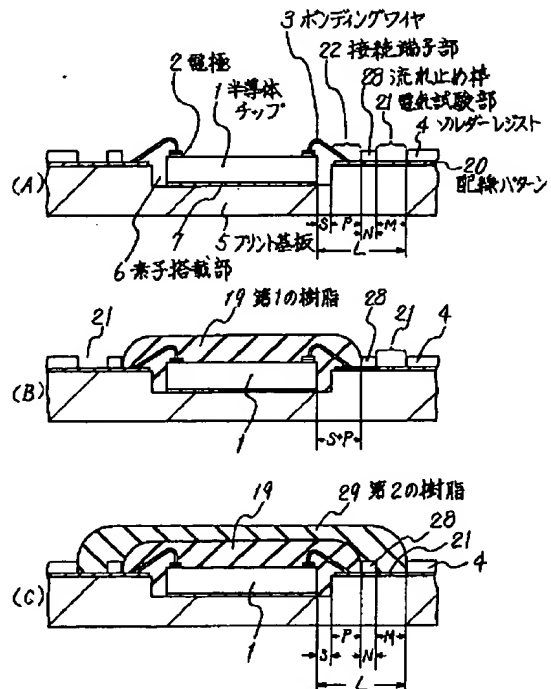
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体チップの実装方法

(57)【要約】

【目的】プリント基板に半導体チップを直接実装する実装方法において、安全の電気特性試験を可能にし、かつ耐湿性が良く高密度の実装を実現する。

【構成】第1の樹脂19で半導体チップ1、接続端子部22およびボンディングワイヤ3を被覆した後、第1の樹脂19の外側に露出する電気試験部21に探針31を当接させて電氣的試験を行い、しかる後に第2の樹脂29で第1の樹脂19および電気試験部21を被覆して最終封止を行う。



【特許請求の範囲】

【請求項1】 配線パターンを形成したプリント基板上に半導体チップを固着する工程と、前記半導体チップの電極と前記配線パターンの接続端子部とをボンディングワイヤで接続する工程と、第1の樹脂で前記半導体チップ、前記接続端子部および前記ボンディングワイヤを被覆する工程と、前記第1の樹脂の外側に露出する前記配線パターンの電気試験部に探針を当接させて電気的試験を行う工程と、しかる後に第2の樹脂で前記第1の樹脂および前記配線パターンの電気試験部を被覆してこれらを封止する工程とを有することを特徴とする半導体チップの実装方法。

【請求項2】 前記第1の樹脂は光に対して不透明な樹脂であることを特徴とする請求項1に記載の半導体チップの実装方法。

【請求項3】 前記第1の樹脂はエポキシ樹脂であることを特徴とする請求項1もしくは請求項2に記載の半導体チップの実装方法。

【請求項4】 前記配線パターンの前記接続端子部と前記電気試験部との間にリング状の流れ止め枠を載置し、該流れ止め枠内に前記第1の樹脂を形成することを特徴とする請求項1、請求項2もしくは請求項3に記載の半導体チップの実装方法。

【請求項5】 前記配線パターンの前記電気試験部は前記接続端子部より広い配線幅を有していることを特徴とする請求項1、請求項2、請求項3もしくは請求項4に記載の半導体チップの実装方法。

【請求項6】 前記半導体チップを前記プリント基板の凹部上に固着することを特徴とする請求項1、請求項2、請求項3、請求項4もしくは請求項5に記載の半導体チップの実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体チップの実装方法に係わり、特にプリント基板上に半導体チップを実装する方法に関する。

【0002】

【従来の技術】図4を用いて従来技術を説明する。まず図4(A)に示すように、プリント基板5の凹部6に形成された素子搭載部に半導体チップ1を接着用合金7によりダイボンディングし、プリント基板の表面に形成された複数の配線パターン10の接続端子部12と半導体チップ1の複数の電極2とをボンディングワイヤ3でそれぞれ接続する。また、配線パターン10にはさらに電気試験部11を有し、少なくとも接続端子部12および電気試験部11が露出するように配線パターン10はソルダーレジスト4により被覆される。次に図4(B)に示すように、接続端子部12と電気試験部11との間に流れ止め枠8を固着しその内側に樹脂9を形成して半導体チップ1、配線パターン10の接続端子部12およ

びボンディングワイヤ3等を樹脂封止する。ここで流れ止め枠8を省略してここにソルダーレジスト4を選択的に形成してもよいが、いずれにしても樹脂9が配線パターン10の電気試験部11に流れ込まないようにする必要がある。その後、電気試験部11に探針を当接させて電気的試験を行う。

【0003】

【発明が解決しようとする課題】長い年月にわたり耐湿性を維持して半導体チップ1を信頼性よく動作させるためには、封止樹脂9は半導体チップ1やボンディングワイヤ3を確実に必要かつ十分に被覆しなければならない。このために半導体チップ1から、あるいはボンディングワイヤ3の一端の位置が定まる素子搭載部の凹部6から所定の距離まで封止樹脂9を形成しなければならない。すなわち図4において、寸法Lあるいは寸法(L-S)は半導体チップ1の信頼性を確保するためにある一定の値以上でなければならない。例えば、 $L=2.5\text{mm}$ 、 $L-S=2.5\text{mm}-0.5\text{mm}=2.0\text{mm}$ である。また、図4(B)に示すように、封止樹脂9の周囲に長さMの電気試験部11およびこの電気試験部11に樹脂が流れ込まないように長さNの樹脂流れ止め領域8を設ける必要がある。例えば、 $M=1.0\text{mm}$ 、 $N=0.5\text{mm}$ である。したがって $L+M+N=4.0\text{mm}$ の長さで半導体チップ1を取り囲んだ面積を必要とし、このなかで $M+N=1.5\text{mm}$ で取り囲んだ面積は電気的試験後は不要とであるいわゆるデッドスペースとなる。

【0004】一方、電気試験部11を接続端子部12に近ずけて樹脂9による封止前に電気的試験を行なおうとすると、プロービングの探針が露出している半導体チップ1やボンディングワイヤ3に不用意に接触しそこに傷をつけ、製造歩止りを低下させてしまうのでそのようなプロセスを行うことはできない。

【0005】このように従来技術の実装方法では、電気試験部11およびそれにとまなう樹脂流れ止め領域8は最終的に不要なデッドスペースとなるためにプリント基板の実装密度の向上に支障を生じる。

【0006】

【課題を解決するための手段】したがって本発明の特徴は、配線パターンを形成したプリント基板上に半導体チップを固着する工程と、前記半導体チップの電極と前記配線パターンの接続端子部とをボンディングワイヤで接続する工程と、第1の樹脂で前記半導体チップ、前記接続端子部および前記ボンディングワイヤを被覆する工程と、前記第1の樹脂の外側に露出する前記配線パターンの電気試験部に探針を当接させて電気的試験を行う工程と、しかる後に第2の樹脂で前記第1の樹脂および前記配線パターンの電気試験部を被覆してこれらを封止する工程とを有する半導体チップの実装方法にある。

【0007】かかる本発明によれば、第1の樹脂はプロ

ービングの探針が不用意に接触して半導体チップやボンディングワイヤーに傷をつけない程度に薄く形成し、配線パターン20の電気試験部21を被覆する第2の樹脂は第1の樹脂とともに長い年月にわたり耐湿性を維持して半導体チップを信頼性よく動作させるような厚さに形成することができるから、上記従来技術のデッドスペースは存在せず、したがってプリント基板の実装密度を十分に向上させることができる。

【0008】

【実施例】次に本発明について図面を参照して説明する。図1、図2および図3は本発明の一実施例を示す断面図、平面図および斜視図である。また、図2の平面図をA-A'部で切断し矢印の方向を視た断面が図1

(A)であり、図1(B)の工程の後に斜視図で示す図3の工程となり、その後図1(C)の工程が続く。
【0009】まず図1(A)、図2に示すように、プリント基板5の凹部6に形成された素子搭載部に半導体チップ1を接着用合金7によりダイボンディングし、プリント基板の表面に形成された複数の配線パターン20の接続端子部22と半導体チップ1の複数の電極2とをボンディングワイヤー3でそれぞれ接続する。また配線パターン20の電気試験部21と接続端子部22との間に幅Nが0.5mmの流れ止め枠28を固着する。この流れ止め枠28は耐熱性フィルムから形成され、リング状の平面形状を有し、複数の配線パターン20の接続端子部22を内側に位置させ複数の配線パターン20の電気試験部21を外側に位置させて半導体チップ1を包囲している(図2)。ここで、半導体チップ1と電気試験部21の外側の端との距離Lは2.5mm、半導体チップ1と凹部6の側壁との距離(ギャップ)Sは0.5mm、接続端子部22の長さPは0.5mm、電気試験部の長さMは1.0mmである。また、図2に示すように、配線パターン20の高密度化と電気的試験の容易性を考慮して、接続端子部22の幅を小にし電気試験部21の幅を大にしてある。さらに、配線パターン20のほぼ全面上に、エポキシ樹脂系の材料により構成されたレジスト材であるソルダーレジスト4が配線パターン20の保護および半田リフロー時の半田ブリッジの防止を目的として形成されている。このソルダーレジスト4は図に示すように、少なくとも配線パターン20の接続端子部22および電気試験部21が露出するように選択的に除去されている。なおソルダーレジスト4の厚さによっては、流れ止め枠28を省略してここにソルダーレジスト4を選択的に形成してもよいが、いずれにしても次の工程で第1の樹脂19が配線パターン20の電気試験部21に流れ込まないようにする必要がある。

【0010】次に図1(B)に示すように、流れ止め枠28内に第1の樹脂19を形成する。この第1の樹脂19は次の工程の電気的試験において、半導体チップ1の電気特性が光により影響されることを阻止する必要があ

るから、光を通さない事が条件となる。したがってその材料は光に対して不透明な樹脂であるエポキシ樹脂を用い、同材料を塗布し、100℃で1時間+150℃で3時間のキュアを行なって形成する。またこの第1の樹脂19は次の工程の電気的試験において、プロービングの探針が不用意に接触しても半導体チップやボンディングワイヤーに傷をつけない程度に薄く形成すればよいのであるから、図に示すように半導体チップ1からの距離が、 $S+P=0.5\text{mm}+0.5\text{mm}=1.0\text{mm}$ と薄く形成される。

【0011】次に図3のプリント基板全体の斜視図に示すように、電気的試験を行なう。ソルダーレジスト4を選択的に除去してプリント基板5の周辺部に複数の配線パターン20の外部端子部34を露出させて、これをプリント基板5上の回路全体の電源端子や信号端子としている。また半導体チップ1とともに回路を構成するチップコンデンサ等の電気部品32をソルダーレジスト4を選択的に除去して露出した配線パターン20の部分に固着してある。そして、図1(B)の状態第1の樹脂19の外側に露出している複数の電気試験部21にテストに接続されているプロービングの探針31を当接して電気的試験を行なう。この電気的試験は、回路を含めた試験の場合もあり、半導体チップだけの試験の場合もあり、あるいはデバッグだけに実施する場合もある。本発明ではこの工程において、第1の樹脂の存在により探針が不用意に接触して半導体チップやボンディングワイヤーに傷をつけることが皆無となる。

【0012】次に図1(C)に示すように、第2の樹脂29で第1の樹脂19および配線パターン20の電気試験部21を被覆してこれらを封止する。この第2の樹脂29は第1の樹脂と同様にエポキシ樹脂を用い、同材料を塗布し、100℃で1時間+150℃で3時間のキュアを行って形成する。第2の樹脂29は半導体チップ1から $L=2.5\text{mm}$ の距離、ボンディングワイヤー3の一端の位置が定まる素子搭載部の凹部6から $(L-S)=2.0\text{mm}$ の距離まで形成されているから、これは図4の樹脂9と同じ寸法となり、長期間にわたり耐湿性が保障され半導体チップ1が信頼性よく動作することができる。

【0013】このように本発明によれば寸法M+Nが寸法Lに含まれたものとなり、配線パターン20の電気試験部21および流れ止め領域28は、最終的に必要な量の封止樹脂を形成する領域の一部として使用することとなるから、電気試験部21および流れ止め領域28はデッドスペースとはならずプリント基板の実装密度が向上する。

【0014】尚、実施例において、第2の樹脂29の外端はソルダーレジスト4のパターンで定められているが、その近傍の配線パターンは全てソルダーレジスト4により被覆されている箇所であるから多少の第2の樹脂2

5

9がソルダーレジスト4の上面に流れ出してもかまわない。

【0015】

【発明の効果】以上説明したように本発明によれば、電気的試験において半導体チップやボンディングワイヤーを不所望に傷をつけることなく、高実装密度を可能にして耐湿性を維持する必要量の樹脂で封止することができ

る。

【図面の簡単な説明】

【図1】本発明の一実施例を工程順に示した断面図である。

【図2】図1(A)の平面図であり、この図2をA-A'部で切断し矢印の方向を視た断面が図1(A)である。

【図3】図1(B)の工程と図1(C)の工程の間の工程を示す斜視図である。

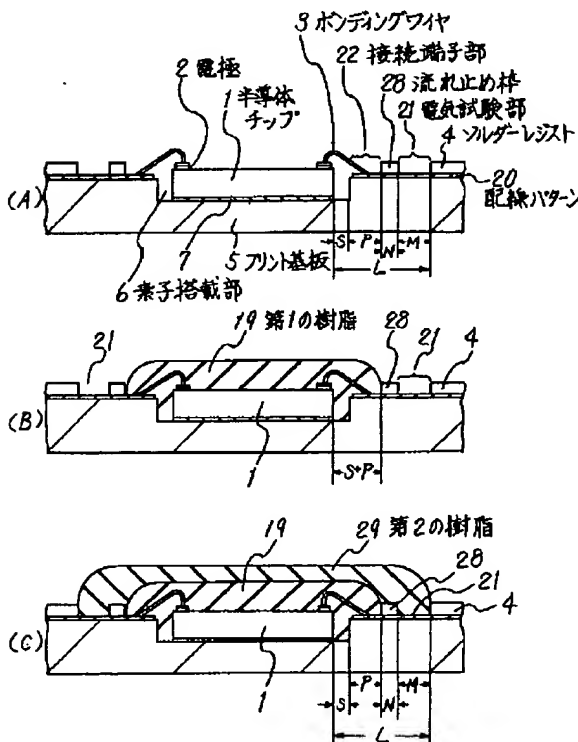
【図4】従来技術を工程順に示した断面図である。

【符号の説明】

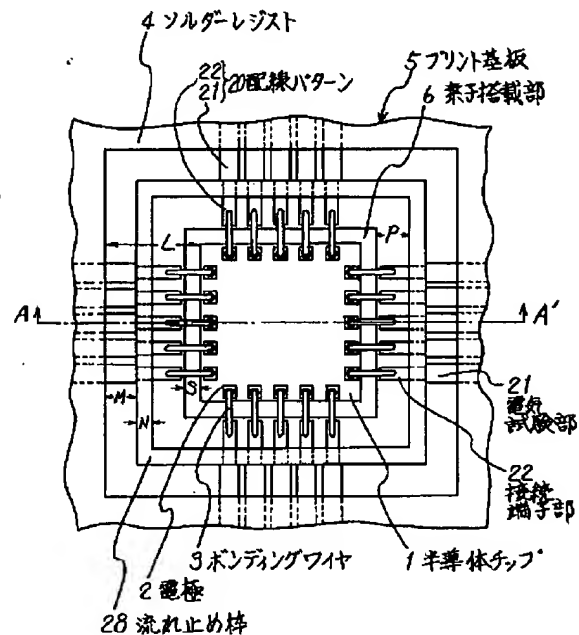
6

- 1 半導体チップ
- 2 半導体チップの電極
- 3 ボンディングワイヤー
- 4 ソルダーレジスト
- 5 プリント基板
- 6 素子搭載部を形成する凹部
- 7 接着用合金
- 8, 28 流れ止め枠
- 9 封止用の樹脂
- 10, 20 配線パターン
- 11, 21 配線パターンの電気試験部
- 12, 22 配線パターンの接続端子部
- 19 封止用の第1の樹脂
- 29 封止用の第2の樹脂
- 31 探針
- 32 電気部品
- 34 配線パターンの外部端子部

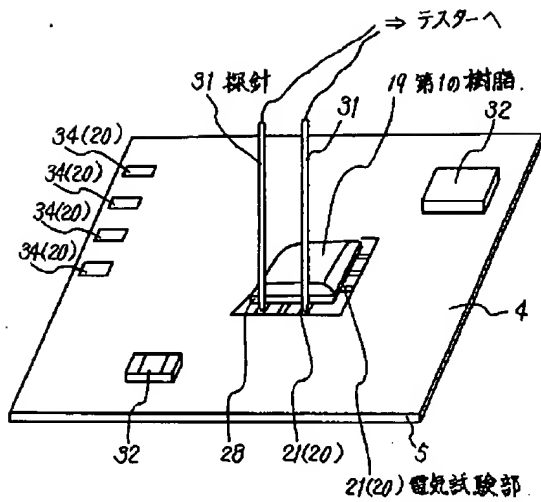
【図1】



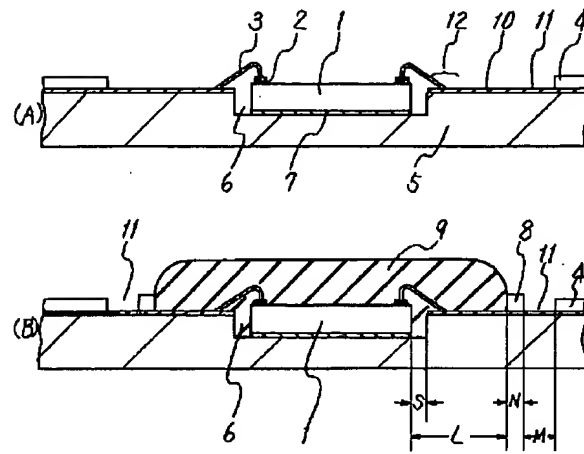
【図2】



【図3】



【図4】



フロントページの続き

(51)Int. Cl.⁵
H05K 3/32

識別記号 庁内整理番号
C 9154-4E

F I

技術表示箇所